

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hirokazu SEKINE

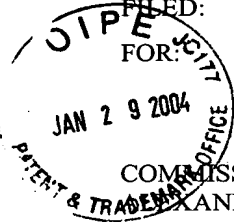
GAU:

SERIAL NO: 10/675,960

EXAMINER:

FILED: October 2, 2003

FOR: CMOS IMAGE SENSOR



REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2002-289789	October 2, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26, 803

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年10月 2日

出 願 番 号
Application Number:

特願2002-289789

[ST.10/C]:

[JP 2002-289789]

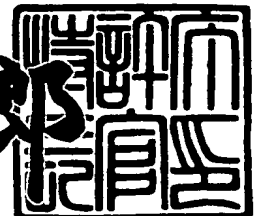
出 願 人
Applicant(s):

岩手東芝エレクトロニクス株式会社
株式会社東芝

2003年 5月23日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3038196

【書類名】 特許願

【整理番号】 AHB0240421

【提出日】 平成14年10月 2日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/14

【発明の名称】 C M O S イメージセンサ

【請求項の数】 5

【発明者】

【住所又は居所】 岩手県北上市北工業団地 6 番 6 号 岩手東芝エレクトロ
ニクス株式会社内

【氏名】 関根 弘一

【特許出願人】

【識別番号】 000158150

【氏名又は名称】 岩手東芝エレクトロニクス株式会社

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100081732

【弁理士】

【氏名又は名称】 大胡 典夫

【選任した代理人】

【識別番号】 100075683

【弁理士】

【氏名又は名称】 竹花 喜久男

【選任した代理人】

【識別番号】 100084515

【弁理士】

【氏名又は名称】 宇治 弘

【手数料の表示】

【予納台帳番号】 009427

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0004103

【包括委任状番号】 0001435

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 CMOS イメージセンサ

【特許請求の範囲】

【請求項 1】 対をなす 2 つの画素を有する複数のユニットセルを、二次元的に水平方向、垂直方向それぞれに所定ピッチで略格子状に配置してなる CMOS イメージセンサにおいて、前記画素の一方の画素を二次元的に水平方向、垂直方向それぞれに所定画素ピッチで略格子状に配置すると共に、前記一方の画素に対し水平方向、垂直方向共に前記画素ピッチの略半分だけ水平方向、垂直方向にずらした状態で前記画素の他方の画素を二次元的に略格子状に配置し、対をなす 2 つの前記画素を斜め方向に隣接させるようにしたことを特徴とする CMOS イメージセンサ。

【請求項 2】 対をなす 2 つの前記画素の信号の読み出しを、それぞれに対応して設けた転送トランジスタを切替動作させて行うようにしたことを特徴とする請求項 1 記載の CMOS イメージセンサ。

【請求項 3】 前記ユニットセルの斜め方向に隣接する対をなす前記画素間で、該ユニットセルに設けられたフローティングジャンクション、リセットドレイン領域、リセットトランジスタ、駆動トランジスタ、アドレストランジスタ、駆動トランジスタとアドレストランジスタ間のジャンクション領域及び駆動トランジスタと信号出力線との接続部の拡散領域を共通に使用して、対をなす前記画素の一方の画素でなる第 1 の画素列と、他方の画素でなる第 2 の画素列の信号の読み出しをそれぞれ独立に行うようにしたことを特徴とする請求項 1、請求項 2 記載の CMOS イメージセンサ。

【請求項 4】 垂直方向に隣接する 2 つの前記ユニットセルの片方のユニットセルに設けられた一方の前記画素の読み出しを行うための転送トランジスタのゲートと、他方のユニットセルに設けられた他方の前記画素の読み出しを行うための転送トランジスタのゲートとを接続すると共に、2 つの前記ユニットセルに対応して信号出力線をそれぞれ設け、かつ各信号出力線と対応する前記ユニットセルの駆動トランジスタとを拡散領域で接続して、2 つの前記ユニットセルに対応する各信号出力線から同時に前記画素の信号の読み出しを行うようにしたことを

特徴とする請求項 1、請求項 2 記載の CMOS イメージセンサ。

【請求項 5】 垂直方向に隣接する 2 つの前記ユニットセルの片方のユニットセルに設けられたアドレストランジスタのゲートと、他方のユニットセルに設けられたリセットトランジスタのゲートとを接続し、片方のユニットセルに設けられた前記画素からの信号の読み出しを行っている間に、次に読み出す他方のユニットセルに設けられたフローティングジャンクションをリセットすることを可能にしたことを特徴とする請求項 1、請求項 2 記載の CMOS イメージセンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えばデジタルカメラやモバイル機器等のカメラシステムの固体撮像装置に好適する 1 ユニットセルを 2 つの画素で構成する CMOS イメージセンサに関する。

【0002】

【従来の技術】

周知の通り、CMOS イメージセンサは、半導体装置として多用されている CMOS 技術によって製造でき、低消費電力で小型化が可能で、信号処理部等の周辺回路を共に 1 つのチップ上に構成することが可能であることから、従来画像入力デバイスとして用いられていた CCD に代わるものとして注目されている。

【0003】

以下、こうした CMOS イメージセンサを、図 7 の概略を示す構成図及び図 8 の要部の回路図を参照して説明する。図 7 及び図 8 において、CMOS イメージセンサ 1 は、1 つのユニットセル C_e を 2 つのフォトダイオード PD_a 、 PD_b でなる画素 2 と画素アンプ 3 で構成し、さらに複数のユニットセル C_e を二次元的に水平方向、垂直方向にそれぞれ所定の配列ピッチ P_h 、 $2P_v$ で略格子状に配置し、複数の画素列を設けて画素部 4 を構成し、また画素部 4 の周辺部にタイミング発生回路 5 と、垂直ライン走査回路 6、ノイズキャンセル回路 7、さらに水平ライン走査回路 8、出力アンプ 9 を有する読み出し部 10 を配置したものとなっている。

【0004】

また、画素部4は、図8に要部の回路図を示すように、1つのユニットセル C_e が、対をなす2つのフォトダイオード PD_a 、 PD_b と、2つのフォトダイオード PD_a 、 PD_b に対応する2つの転送トランジスタ T_a 、 T_b を有し、さらに、リセットトランジスタ R 、駆動トランジスタ D 、アドレストランジスタ A を1つずつ有する構成となっている。そして、画素部4の隣り合う画素列の2ラインは、水平方向に配列されたユニットセル C_e の一方のフォトダイオード PD_a で1ラインを形成し、他方のフォトダイオード PD_b で残りの1ラインを形成している。なお、フォトダイオード PD_a 、 PD_b の水平方向及び垂直方向の配列ピッチ、すなわち画素ピッチは、それぞれ P_h 、 P_v の所定のピッチで、画素2の配列は略格子状となっている。

【0005】

また、複数のユニットセル C_{e11} 、 C_{e12} 、……、 C_{e21} 、 C_{e22} 、……、……は、各対応する部位を転送配線 TGL_{1a} 、 TGL_{1b} 、 TGL_{2a} 、 TGL_{2b} 、……、リセット配線 RTL_1 、 RTL_2 、……、アドレス配線 ADL_1 、 ADL_2 、……、リセットドレイン電圧線 RDL_1 、 RDL_2 、……、信号出力線 SL_1 、 SL_2 、……に接続したものとなっている。

【0006】

さらに、こうしたCMOSイメージセンサ1の概略の動作は、図示しない光学レンズ系等で画素部4に集光、結像され、各画素2のフォトダイオード PD_a 、 PD_b で光電変換がなされ、それに応じた信号が出力される。これは、先ず、画素部4の画素列の1ライン目を形成するユニットセル C_{e11} 、 C_{e12} 、……のフォトダイオード PD_{11a} 、 PD_{12a} 、 PD_{13a} 、……のうち、例えば、フォトダイオード PD_{11a} で生成された信号電荷は、転送トランジスタ T_{11a} のゲート TG_{11a} に転送配線 TGL_{1a} を通じて転送パルス印加し、転送ゲート TG_{11a} 下にチャネル形成する、すなわち転送ゲート TG_{11a} を開くことにより、転送トランジスタ T_{11a} と駆動トランジスタ D_{11} のゲート D_{R11} との接合部のフローティングジャンクション FJ_{11} に転送され蓄積される。

【0007】

同様にして、各フォトダイオード PD_{12a} 、 PD_{13a} 、……で生成された信号電荷も、転送配線 TGL_{1a} を通じて転送パルスが印加されることで、転送トランジスタ T_{12a} 、 T_{13a} 、……のゲート TG_{12a} 、 TG_{13a} 、……が開き、フローティングジャンクション FJ_{12} 、 FJ_{13} 、……に転送され蓄積される。

【0008】

こうした信号電荷の蓄積によって、各フォトダイオード PD_{11a} 、 PD_{12a} 、 PD_{13a} 、……毎に、その受光量に応じた電位が発生し、この電位が各画素2毎の画素信号となる。なお、信号電荷の転送に先立って、フローティングジャンクション FJ_{11} 、 FJ_{12} 、 FJ_{13} 、……は、リセットトランジスタ R_{11} 、 R_{12} 、……のゲート RS_{11} 、 RS_{12} 、……にリセット配線 RTL_1 を通じてリセットパルスを印加することによって、リセットドレイン領域 RD_{11} 、 RD_{12} 、……にリセットドレイン電圧線 RDL_1 、 RDL_2 、……の電圧が印加され、所定のリセットドレイン電圧にリセットされている。そして、フローティングジャンクション FJ_{11} 、 FJ_{12} 、 FJ_{13} 、……の電圧レベルは、各フォトダイオード PD_{11a} 、 PD_{12a} 、 PD_{13a} 、……からの信号電荷が流入することで変化する。

【0009】

また、フローティングジャンクション FJ_{11} 、 FJ_{12} 、 FJ_{13} 、……が、駆動トランジスタ D_{11} 、 D_{12} 、……のゲート DR_{11} 、 DR_{12} 、……に接続されているので、フローティングジャンクション FJ_{11} 、 FJ_{12} 、 FJ_{13} 、……の電位変化は、駆動トランジスタ D_{11} 、 D_{12} 、……下のチャネル電位の変調を引き起こすことになる。

【0010】

次に、アドレストランジスタ A_{11} 、 A_{12} 、……のゲート AD_{11} 、 AD_{12} 、……に、アドレス配線 ADL_1 を通じてアドレスパルスを印加し、アドレストランジスタ A_{11} 、 A_{12} 、……を選択し、フローティングジャンクション FJ_{11} 、 FJ_{12} 、 FJ_{13} 、……の電位変化によりチャネル電位変調されてい

る駆動トランジスタ D_{11} , D_{12} , ……を、信号出力線 SL_1 , SL_2 , ……にて図示しない負荷トランジスタに接続し、信号電荷に対応した信号を読み出し部10を通じて外部に時系列的に出力する。

【0011】

そして、フォトダイオード PD_{11a} , PD_{12a} , PD_{13a} , ……で形成された画素列の1ライン目の読み出しが完了した後、フローティングジャンクション FJ_{11} , FJ_{12} , FJ_{13} , ……は、再びリセットトランジスタ R_{11} , R_{12} , ……のゲート RS_{11} , RS_{12} , ……にリセット配線 RTL_1 を通じてリセットパルスを印加することによって、リセットドレイン電圧線 RDL_1 , RDL_2 , ……の所定のリセットドレイン電圧にリセットされる。

【0012】

その後、転送トランジスタ T_{11b} のゲート TG_{11b} に転送配線 TGL_{1b} を通じて転送パルスを印加し、画素列の2ライン目を形成するフォトダイオード PD_{11b} , PD_{12b} , PD_{13b} , ……で生成された信号電荷を、フローティングジャンクション FJ_{11} , FJ_{12} , FJ_{13} , ……に転送し蓄積する。そして、上記の1ライン目と同様の動作を繰り返すことで、2ライン目の信号電荷に対応した信号の読み出しを行う。

【0013】

さらに、画素列の3ライン目、4ライン目を形成するユニットセル Ce_{21} , Ce_{22} , ……の各フォトダイオード PD_{21a} , PD_{22a} , PD_{23a} , …… PD_{21b} , PD_{22b} , PD_{23b} , ……についても、信号電荷の読み出しをフローティングジャンクション FJ_{21} , FJ_{22} , FJ_{23} , ……を共通にして、上記1ライン目、2ライン目と同様にして行う。またさらに、それ以降の各画素列についても同様に繰り返すことで、全画素2の読み出しを行う。

【0014】

しかしながら上記の従来技術においては、画素部4を形成するユニットセル C_e が、2つのフォトダイオード PD_a , PD_b を有し、また、これらフォトダイオード PD_a , PD_b に対し、1つのフローティングジャンクション FJ を共通に使用するものであるから高集積化に適するものであるが、画素ピッチが水平方

向及び垂直方向それぞれ P_h , P_v で、画素 2 は格子状に配列されたものとなっているので、水平方向及び垂直方向の画素 2 の間に間隔が広く生じ、この広い画素 2 間の情報を拾い出すことができない。このため、センサの解像度を向上させるべく高集積化を図ろうとした場合、その実現は画素部 4 を構成する素子や配線等を小さくしたり、細線化したりしない限り難しく、自ずと解像度向上には限界があった。

【 0 0 1 5 】

【発明が解決しようとする課題】

上記のような状況に鑑みて本発明はなされたもので、その目的とするところは画素部を構成する素子や配線等を効率的に配置し、素子や配線等を小さくしたり、細線化したりすることなく集積度を上げて、水平方向、垂直方向の解像度を向上させることができる CMOS イメージセンサを提供することにある。

【 0 0 1 6 】

【課題を解決するための手段】

本発明の CMOS イメージセンサは、対をなす 2 つの画素を有する複数のユニットセルを、二次元的に水平方向、垂直方向それぞれに所定ピッチで略格子状に配置してなる CMOS イメージセンサにおいて、前記画素の一方の画素を二次元的に水平方向、垂直方向それぞれに所定画素ピッチで略格子状に配置すると共に、前記一方の画素に対し水平方向、垂直方向共に前記画素ピッチの略半分だけ水平方向、垂直方向にずらした状態で前記画素の他方の画素を二次元的に略格子状に配置し、対をなす 2 つの前記画素を斜め方向に隣接させるようにしたことを特徴とするものであり、

さらに、対をなす 2 つの前記画素の信号の読み出しを、それぞれに対応して設けた転送トランジスタを切替動作させて行うようにしたことを特徴とするものであり、

さらに、前記ユニットセルの斜め方向に隣接する対をなす前記画素間で、該ユニットセルに設けられたフローティングジャンクション、リセットドレイン領域、リセットトランジスタ、駆動トランジスタ、アドレストランジスタ、駆動トランジスタとアドレストランジスタ間のジャンクション領域及び駆動トランジスタ

と信号出力線との接続部の拡散領域を共通に使用して、対をなす前記画素の一方の画素でなる第1の画素列と、他方の画素でなる第2の画素列の信号の読み出しをそれぞれ独立に行うようにしたことを特徴とするものであり、

さらに、垂直方向に隣接する2つの前記ユニットセルの片方のユニットセルに設けられた一方の前記画素の読み出しを行うための転送トランジスタのゲートと、他方のユニットセルに設けられた他方の前記画素の読み出しを行うための転送トランジスタのゲートとを接続すると共に、2つの前記ユニットセルに対応して信号出力線をそれぞれ設け、かつ各信号出力線と対応する前記ユニットセルの駆動トランジスタとを拡散領域で接続して、2つの前記ユニットセルに対応する各信号出力線から同時に前記画素の信号の読み出しを行うようにしたことを特徴とするものであり、

さらに、垂直方向に隣接する2つの前記ユニットセルの片方のユニットセルに設けられたアドレスタランジスタのゲートと、他方のユニットセルに設けられたリセットトランジスタのゲートとを接続し、片方のユニットセルに設けられた前記画素からの信号の読み出しを行っている間に、次に読み出す他方のユニットセルに設けられたフローティングジャンクションをリセットすることを可能にしたことを特徴とするものである。

【0017】

【発明の実施の形態】

以下本発明の実施の形態を、図面を参照して説明する。

【0018】

先ず第1の実施形態を図1及び図2により説明する。図1は要部の回路図であり、図2は要部のパターンを示す図である。なお、従来と同一部分には同一符号を付して説明を省略し、従来と異なる本実施形態の構成について説明する。

【0019】

図1及び図2において、画素部11は、図7に示すCMOSイメージセンサ1の画素部4に対応するもので、この画素部11の周辺部に、図示しないが図7と同様にタイミング発生回路、垂直ライン走査回路、ノイズキャンセル回路、さらに水平ライン走査回路、出力アンプを有する読み出し部が配置されて、CMOS

イメージセンサが構成される。そして、画素部 11 は、フォトダイオード PD_a , PD_b を画素信号を生成する画素とした複数のユニットセル C_e を、二次元的に水平方向、垂直方向にそれぞれ所定の配列ピッチ Ph_0 , Pv_0 で略格子状に配置し、複数の画素列を設けることによって構成され、例えばセンサ基板である半導体基板に、フォトダイオード PD_a , PD_b を同一面内に設けるようにして形成されている。

【 0 0 2 0 】

また、画素部 11 の基本構成は、1 つのユニットセル C_e が、対をなす 2 つのフォトダイオード PD_a , PD_b と、2 つのフォトダイオード PD_a , PD_b に対応する 2 つの転送トランジスタ T_a , T_b を有し、さらに、リセットトランジスタ R 、駆動トランジスタ D 、アドレストランジスタ A を 1 つずつ有する構成となっている。

【 0 0 2 1 】

すなわち、図 1 に示すように、2 つのフォトダイオード PD_a , PD_b は、それぞれ対応する転送トランジスタ T_a , T_b のソースに接続されており、両転送トランジスタ T_a , T_b のゲート TG_a , TG_b には、画素信号を読み出すための転送パルスがそれぞれ転送配線 TGL_a , TGL_b から印加可能となっている。また両転送トランジスタ T_a , T_b のドレインであるフローティングジャンクション FJ は、リセットトランジスタ R のソースと、駆動トランジスタ D のゲート DR とに接続されている。さらにまたリセットトランジスタ R は、ドレインがリセットドレイン電圧線 RDL に接続され、ゲート RS がリセット配線 SSL に接続されており、ゲート RS にフローティングジャンクション FJ を所定のリセットドレイン電圧にリセットするためのリセットパルスが印加可能となっている。

【 0 0 2 2 】

また、駆動トランジスタ D は、ソースが信号出力線 SL に接続され、ドレインがジャンクション領域 J を介してアドレストランジスタ A のソースに接続されている。またアドレストランジスタ A は、ドレインがリセットドレイン電圧線 RDL に接続され、ゲート AD がアドレス配線 ADL に接続されており、ゲート AD

に水平方向に配列されたアドレストランジスタAを選択するためのアドレスパルスが印加可能となっている。そして、アドレストランジスタAの選択によって、対応する駆動トランジスタDを通じて信号出力線SLに画素信号が出力される。

【0023】

また、画素部11の各画素であるフォトダイオード PD_a 、 PD_b は、隣り合う画素列の2ラインのうち、一方の1ラインを水平方向に配列されたユニットセルCeの一方のフォトダイオード PD_a による第1の画素列で形成し、残りの1ラインを他方のフォトダイオード PD_b による第2の画素列で形成し、さらに、形成した第1の画素列と第2の画素列とを、垂直方向に繰り返す配置となっている。

【0024】

また、第1の画素列のフォトダイオード PD_a は、水平方向、垂直方向にユニットセルCeの配列ピッチと同じ、所定の画素ピッチ Ph_0 、 Pv_0 で配列され、第2の画素列のフォトダイオード PD_b も、水平方向、垂直方向にユニットセルCeの配列ピッチと同じ、所定の画素ピッチ Ph_0 、 Pv_0 で配列されている。

【0025】

そして、第1の画素列のフォトダイオード PD_a に対し、第2の画素列のフォトダイオード PD_b は、垂直方向に隣り合う第1の画素列の間に、水平方向、垂直方向共に $Ph_0/2$ 、 $Pv_0/2$ だけずれた位置に配置され、市松状の配置となっている。なお、ユニットセルCeが正方格子状に配置されている場合には、 $Ph_0 = Pv_0$ となって、水平方向と垂直方向の画素ピッチが等しくなり、フォトダイオード PD_a に対し、フォトダイオード PD_b は、斜め45度方向にずれた位置に設けられることになる。

【0026】

また、こうしたCMOSイメージセンサのレイアウトは、図2に要部のパターンを示すように、例えばユニットセル Ce_{22} についてみると、水平方向にはユニットセル Ce_{21} とユニットセル Ce_{23} が両側に隣接し、垂直方向にはユニットセル Ce_{12} とユニットセル Ce_{32} が両側に隣接している。そして、ユニ

ットセル Ce_{22} の対をなす 2 つのフォトダイオード PD_{22a} , PD_{22b} は、水平方向、垂直方向に $Ph_0/2$, $Pv_0/2$ だけずれた位置に離間配置され、それぞれずれ方向に傾いた長形状をなすものとなっている。

【0027】

また、2 つのフォトダイオード PD_{22a} , PD_{22b} の間には、それぞれに対応する転送トランジスタ T_{22a} , T_{22b} の各ゲート TG_{22a} , TG_{22b} を隣接するように設け、それらの間にフローティングジャンクション FJ_{22} を挟むように設けて配置されている。さらに、2 つのフォトダイオード PD_{22a} , PD_{22b} の間のユニットセル Ce_{12} 側には、フローティングジャンクション FJ_{22} にソースが接続されるリセットトランジスタ R_{22} のゲート RS_{22} が、フローティングジャンクション FJ_{22} に隣接するよう配置されている。

【0028】

また、2 つのフォトダイオード PD_{22a} , PD_{22b} の片側には、これらと斜めに並んだユニットセル Ce_{12} , Ce_{21} のフォトダイオード PD_{12b} , PD_{21a} との間に、リセットトランジスタ R_{22} のゲート RS_{22} に隣接して、リセットトランジスタ R_{22} のドレインが接続されるリセットドレイン領域 RD_{22} が配置されている。

【0029】

一方、2 つのフォトダイオード PD_{22a} , PD_{22b} の他側には、これらと斜めに並んだユニットセル Ce_{23} , Ce_{32} のフォトダイオード PD_{23b} , PD_{32a} との間に、フォトダイオード PD_{22a} 側に駆動トランジスタ D_{22} のソースと信号出力線 S_2 との接続部分の拡散領域 S_{22} と、これに隣接して駆動トランジスタ D_{22} のゲート DR_{22} が配置され、また、駆動トランジスタ D_{22} のゲート DR_{22} に隣接して、駆動トランジスタ D_{22} のドレインとアドレスタランジスタ A_{22} のソースと間のジャンクション領域 J_{22} が配置されている。さらにジャンクション領域 J_{22} に隣接して、フォトダイオード PD_{22b} 側には、垂直方向下側のユニットセル Ce_{32} のリセットドレイン領域 RD_{32} とドレインが接続されるアドレスタランジスタ A_{22} のゲート AD_{22} が、配置されている。

【 0 0 3 0 】

また、フローティングジャンクション FJ_{22} と駆動トランジスタ D_{22} のゲート DR_{22} が、アルミニウム等による金属配線 AL によって接続されている。

【 0 0 3 1 】

そして、その他の複数のユニットセル Ce_{11} , Ce_{12} , …… も、上記と同様に配置されて画素部 11 が構成される。さらに、図 2 には図示しないが、図 1 に示す回路図のように各対応する部位に、アルミニウム等による金属配線となる転送配線 TGL_{1a} , TGL_{1b} , TGL_{2a} , TGL_{2b} , ……、リセット配線 RSL_1 , RSL_2 , ……、アドレス配線 ADL_1 , ADL_2 , ……、リセットドレイン電圧線 RDL_1 , RDL_2 , ……、信号出力線 SL_1 , SL_2 , …… が接続される。

【 0 0 3 2 】

こうした CMOS イメージセンサの概略の動作は、図示しない光学レンズ系等で画素部 11 に集光、結像され、各画素のフォトダイオード PD_a , PD_b で光電変換がなされ、それに応じた画素信号が出力される。これは、先ず、画素部 11 の画素列の 1 ライン目を形成するユニットセル Ce_{11} , Ce_{12} , Ce_{13} , …… のフォトダイオード PD_{11a} , PD_{12a} , PD_{13a} , …… のうち、例えば、フォトダイオード PD_{11a} , PD_{12a} , PD_{13a} , …… で生成された信号電荷は、転送配線 TGL_{1a} を通じて転送パルスが印加されることで、転送トランジスタ T_{11a} , T_{12a} , T_{13a} , …… のゲート TG_{11a} , TG_{12a} , TG_{13a} , …… が開き、フローティングジャンクション FJ_{11} , FJ_{12} , FJ_{13} , …… に転送され蓄積される。

【 0 0 3 3 】

また、こうした信号電荷の転送に先立って、フローティングジャンクション FJ_{11} , FJ_{12} , FJ_{13} , …… は、リセットトランジスタ R_{11} , R_{12} , …… のゲート RS_{11} , RS_{12} , …… にリセット配線 RSL_1 を通じてリセットパルスを印加することによって、リセットドレイン電圧線 RDL_1 , RDL_2 , …… の所定のリセットドレイン電圧にリセットされている。

【 0 0 3 4 】

また、フローティングジャンクション FJ_{11} , FJ_{12} , FJ_{13} , ……の電圧レベルは、各フォトダイオード PD_{11a} , PD_{12a} , PD_{13a} , ……からの信号電荷が流入することで変化する。そして、フローティングジャンクション FJ_{11} , FJ_{12} , FJ_{13} , ……が、駆動トランジスタ D_{11} , D_{12} , D_{13} , ……のゲート DR_{11} , DR_{12} , DR_{13} , ……に接続されているので、フローティングジャンクション FJ_{11} , FJ_{12} , FJ_{13} , ……の電位変化は、駆動トランジスタ D_{11} , D_{12} , D_{13} , ……下のチャネル電位の変調を引き起こすことになる。

【0035】

次に、アドレストランジスタ A_{11} , A_{12} , A_{13} , ……のゲート AD_{11} , AD_{12} , AD_{13} , ……に、アドレス配線 ADL_1 を通じてアドレスパルス印加し、アドレストランジスタ A_{11} , A_{12} , A_{13} , ……を選択し、フローティングジャンクション FJ_{11} , FJ_{12} , FJ_{13} , ……の電位変化によりチャネル電位変調されている駆動トランジスタ D_{11} , D_{12} , D_{13} , ……を、信号出力線 SL_1 , SL_2 , ……にて図示しない負荷トランジスタに接続し、信号電荷に対応した信号を読み出し部 10 を通じて外部に時系列的に出力する。

【0036】

そして、フォトダイオード PD_{11a} , PD_{12a} , PD_{13a} , ……で形成された画素列の 1 ライン目の読み出しが完了した後、フローティングジャンクション FJ_{11} , FJ_{12} , FJ_{13} , ……は、再びリセットトランジスタ R_{11} , R_{12} , ……のゲート RS_{11} , RS_{12} , ……にリセット配線 RTL_1 を通じてリセットパルス印加することによって、リセットドレイン電圧線 RDL_1 , RDL_2 , ……の所定のリセットドレイン電圧にリセットされる。

【0037】

その後、転送トランジスタ T_{11b} のゲート TG_{11b} に転送配線 TGL_{1b} を通じて転送パルス印加し、画素列の 2 ライン目を形成するフォトダイオード PD_{11b} , PD_{12b} , PD_{13b} , ……で生成された信号電荷を、フローティングジャンクション FJ_{11} , FJ_{12} , FJ_{13} , ……に転送し蓄積する。

そして、上記の1ライン目と同様の動作を繰り返すことで、2ライン目の信号電荷に対応した信号の読み出しを行う。

【0038】

さらに、画素列の3ライン目、4ライン目を形成するユニットセル Ce_{21} 、 Ce_{22} 、……の各フォトダイオード PD_{21a} 、 PD_{22a} 、 PD_{23a} 、……、 PD_{11b} 、 PD_{12b} 、 PD_{13b} 、……についても、信号電荷の読み出しをフローティングジャンクション FJ_{21} 、 FJ_{22} 、 FJ_{23} 、……を共通にして、上記1ライン目、2ライン目と同様にして行う。またさらに、それ以降の各画素列についても同様に繰り返すことで、画素部11の全て画素信号の読み出しを行う。

【0039】

そして、以上の通りフォトダイオード PD_{11a} 、 PD_{12a} 、 PD_{13a} 、……、 PD_{11b} 、 PD_{12b} 、 PD_{13b} 、……を市松状に配置して画素部11を構成し、対をなす2つの例えばフォトダイオード PD_{22a} 、 PD_{22b} の間に対応する転送トランジスタ T_{22a} 、 T_{22b} の各ゲート TG_{22a} 、 TG_{22b} と、フローティングジャンクション FJ_{22} 、リセットトランジスタ R_{22} のゲート RS_{22} を配置し、さらに、隣接するユニットセル Ce_{12} 、 Ce_{21} 、 Ce_{23} 、 Ce_{32} との間に、回路接続の近いリセットドレイン領域 RD_{22} と、拡散領域 S_{22} 、駆動トランジスタ D_{22} のゲート DR_{22} 、ジャンクション領域 J_{22} 、アドレストランジスタ A_{22} のゲート AD_{22} を隣接するように配置することによって、より集積度を向上させることができる。

【0040】

また市松状に配置したフォトダイオード PD_{11a} 、 PD_{12a} 、 PD_{13a} 、……、 PD_{11b} 、 PD_{12b} 、 PD_{13b} 、……によって、その垂直方向、水平方向の配列ピッチが、格子状にフォトダイオード PD を配置した場合に比べ、垂直方向、水平方向共に約半分の配列ピッチとすることができることになり、これらの方向の解像度向上を図ることができる。なお、この場合は斜め方向の解像度が落ちるが、人間の目の解像度は、垂直、水平方向には高く斜め方向には低く、また通常の被写体は、垂直方向、水平方向の成分が多いことから、特に、

通常の被写体を対象にする場合には、良好な性能を有することになる。

【0041】

次に第2の実施形態を図3及び図4により説明する。図3は要部の回路図であり、図4は要部のパターンを示す図である。なお、第1の実施形態と同一部分には同一符号を付して説明を省略し、第1の実施形態と異なる本実施形態の構成について説明する。

【0042】

図3及び図4において、画素部12は、上記の第1の実施形態の画素部11と同様に、図7に示すCMOSイメージセンサ1の画素部4に対応するもので、この画素部12の周辺部に、図示しないが図7と同様にタイミング発生回路、垂直ライン走査回路、ノイズキャンセル回路、さらに水平ライン走査回路、出力アンプを有する読み出し部が配置されて、CMOSイメージセンサが構成される。そして、画素部12は、フォトダイオードPDを画素とする複数のユニットセルCeを、二次元的に水平方向、垂直方向にそれぞれ所定の配列ピッチ P_{h0} 、 P_{v0} で略格子状に配置し、複数の画素列を設けることによって構成され、例えばセンサ基板である半導体基板に、フォトダイオードPDを同一面内に設けるようにして形成されている。

【0043】

また、画素部12の基本構成は、上記第1の実施形態と同様に、1つのユニットセルCeが、各画素である対をなす2つのフォトダイオード PD_a 、 PD_b と、2つの転送トランジスタ T_a 、 T_b 、各1つのリセットトランジスタR、駆動トランジスタD、アドレストランジスタAを有する構成となっている。また画素部12は、隣り合う画素列の2ラインのうち、一方の1ラインが水平方向に配列されたユニットセルCeの一方のフォトダイオード PD_a による第1の画素列によって形成され、残りの1ラインが他方のフォトダイオード PD_b による第2の画素列によって形成され、さらに形成した第1の画素列と第2の画素列とを、垂直方向に繰り返し配置したものとなっている。

【0044】

また、第1の画素列のフォトダイオード PD_a は、水平方向、垂直方向にユニ

ットセル C_e の配列ピッチと同じ、所定の画素ピッチ P_{h0} 、 P_{v0} で配列され、第2の画素列のフォトダイオード PD_b も、水平方向、垂直方向にユニットセル C_e の配列ピッチと同じ、所定の画素ピッチ P_{h0} 、 P_{v0} で配列されている。そして、第1の画素列のフォトダイオード PD_a に対し、第2の画素列のフォトダイオード PD_b は、垂直方向に隣り合う第1の画素列の間に、水平方向、垂直方向共に $P_{h0}/2$ 、 $P_{v0}/2$ だけずれた位置に配置され、市松状の配置となっている。

【0045】

また、こうしたCMOSイメージセンサのレイアウトは、図4に要部のパターンを示すように、ユニットセル C_{e11} 、 C_{e12} 、 C_{e13} 、……及び各ユニットセル C_e を構成するフォトダイオード PD_{11a} 、 PD_{12a} 、 PD_{13a} 、……等の配置は、上記第1の実施形態と同じものとなっている。そして、フローティングジャンクション FJ_{11} 、 FJ_{12} 、 FJ_{13} 、……と、対応する駆動トランジスタ D_{11} 、 D_{12} 、 D_{13} 、……のゲート DR_{11} 、 DR_{12} 、 DR_{13} 、……が、アルミニウム等による第1の金属配線 AL_1 によって接続されている。

【0046】

また、これと同様に、本実施形態では、例えばユニットセル C_{e22} においては、垂直方向に隣接するユニットセル C_{e12} 、 C_{e32} との間で、ユニットセル C_{e22} のフォトダイオード PD_{22a} の読み出しを行うための転送トランジスタ T_{22a} のゲート TG_{22a} が、ユニットセル C_{e12} のフォトダイオード PD_{12b} の読み出しを行うための転送トランジスタ T_{12b} のゲート TG_{12b} と、アルミニウム等による第2の金属配線 AL_2 によって接続されている。

【0047】

同様に、フォトダイオード PD_{22b} の読み出しを行うための転送トランジスタ T_{22b} のゲート TG_{22b} は、ユニットセル C_{e32} のフォトダイオード PD_{32a} の読み出しを行うための転送トランジスタ T_{32a} のゲート TG_{32a} と、アルミニウム等による第2の金属配線 AL_2 によって接続されている。そして、その他の複数のユニットセル C_e においても、同様の接続が行なわれている。

【0048】

さらに、図4には図示しないが、図3に示すように各対応する部位に、アルミニウム等による金属配線となる転送配線 TGL_{1a} , TGL_{1b} , TGL_{2a} , TGL_{2b} , ……、リセット配線 RSL_1 , RSL_2 , ……、アドレス配線 ADL_1 , ADL_2 , ……、リセットドレイン電圧線 RDL_1 , RDL_2 , ……が、第1の実施形態と同様に接続される。

【0049】

またさらに、本実施形態では、信号出力線 SLo_1 , SLo_2 , ……、 SLe_1 , SLe_2 , ……が設けられていて、信号出力線 SLo_1 , SLo_2 , ……は、垂直方向に1つ置きに配列されたユニットセル Ce_{11} , Ce_{12} , Ce_{13} , ……、 Ce_{31} , Ce_{32} , Ce_{33} , ……、……の駆動トランジスタ D_{11} , D_{12} , D_{13} , ……、 D_{31} , D_{32} , D_{33} , ……、……との接続部分である拡散領域 S_{11} , S_{12} , S_{13} , ……、 S_{31} , S_{32} , S_{33} , ……、……に接続される。

【0050】

また、同じ様に、信号出力線 SLe_1 , SLe_2 , ……は、一部ユニットセル Ce_{41} , Ce_{42} , Ce_{43} に関しては図示しないが、垂直方向に1つ置きに配列されたユニットセル Ce_{21} , Ce_{22} , Ce_{23} , ……、 Ce_{41} , Ce_{42} , Ce_{43} , ……、……の駆動トランジスタ D_{21} , D_{22} , D_{23} , ……、 D_{41} , D_{42} , D_{43} , ……、……との接続部分である拡散領域 S_{21} , S_{22} , S_{23} , ……、 S_{41} , S_{42} , S_{43} , ……、……に接続される。

【0051】

こうしたCMOSイメージセンサの概略の動作は、上記第1の実施形態と同様のものとなるが、垂直方向に1つ置きに配列されたユニットセル Ce_{11} , Ce_{12} , Ce_{13} , ……、 Ce_{31} , Ce_{32} , Ce_{33} , ……、……に対し、信号出力線 SLo_1 , SLo_2 , ……を設け、さらにユニットセル Ce_{11} , Ce_{12} , Ce_{13} , ……、 Ce_{31} , Ce_{32} , Ce_{33} , ……、……の間に配列された同じく垂直方向に1つ置きに配列されたユニットセル Ce_{21} , Ce_{22}

, Ce_{23} , …… , Ce_{41} , Ce_{42} , Ce_{43} , …… , …… に対し、信号出力線 SL_{e1} , SL_{e2} , …… を設けることによって、画素信号の読み出しは、次のようになる。

【0052】

すなわち、1ライン目となる第1の画素列のフォトダイオード PD_{11a} , PD_{12a} , PD_{13a} , …… については、上記と同じ動作過程で信号電荷に対応した信号の読み出しが行なわれる。そして、続く2ライン目となる第2の画素列のフォトダイオード PD_{11b} , PD_{12b} , PD_{13b} , …… と、3ライン目となる第1の画素列のフォトダイオード PD_{21a} , PD_{22a} , PD_{23a} , …… については、転送トランジスタ T_{11b} , T_{12b} , T_{13b} , …… のゲート TG_{11b} , TG_{12b} , TG_{13b} , …… と、転送トランジスタ T_{21a} , T_{22a} , T_{23a} , …… のゲート TG_{21a} , TG_{22a} , TG_{23a} , …… が接続されており、読み出しを行うために転送配線 TGL_{1b} と転送配線 TGL_{2a} とに印加される転送パルスは、同時に印加されることになる。

【0053】

この結果、フォトダイオード PD_{11b} , PD_{12b} , PD_{13b} , …… とフォトダイオード PD_{21a} , PD_{22a} , PD_{23a} , …… とからは、ジグザグ状の画素信号が連続して信号出力線 SL_{e1} , SL_{e2} , …… と信号出力線 SL_{o1} , SL_{o2} , …… とに同時に出力される。これにより、2ラインの読み出しが同時に行えることになり、画面形成に際し要していた1水平走査期間前のラインの信号と合体して信号ラインを作成する操作が不要になり、水平ライン走査回路等の外部回路の構成が簡単なものとなる。

【0054】

このように、本実施形態によれば、外部回路の構成が簡単なものとなると共に、第1の実施形態と同様に、より集積度を向上させることができ、また垂直方向、水平方向の解像度向上を図ることができて、通常の被写体を対象にする場合には、良好な性能を有するものとなる。

【0055】

次に第3の実施形態を図5及び図6により説明する。図5は要部の回路図であ

り、図6は要部のパターンを示す図である。なお、第1の実施形態と同一部分には同一符号を付して説明を省略し、第1の実施形態と異なる本実施形態の構成について説明する。

【0056】

図5及び図6において、画素部13は、上記の第1の実施形態の画素部11と同様に、図7に示すCMOSイメージセンサ1の画素部4に対応するもので、この画素部13の周辺部に、図示しないが図7と同様にタイミング発生回路、垂直ライン走査回路、ノイズキャンセル回路、さらに水平ライン走査回路、出力アンプを有する読み出し部が配置されて、CMOSイメージセンサが構成される。そして、画素部13は、フォトダイオードPDを画素とする複数のユニットセルCeを、二次元的に水平方向、垂直方向にそれぞれ所定の配列ピッチ P_{h0} 、 P_{v0} で略格子状に配置し、複数の画素列を設けることによって構成され、例えばセンサ基板である半導体基板に、フォトダイオードPDを同一面内に設けるようにして形成されている。

【0057】

また、画素部13の基本構成は、上記第1の実施形態と同様に、1つのユニットセルCeが、各画素である対をなす2つのフォトダイオード PD_a 、 PD_b と、2つの転送トランジスタ T_a 、 T_b 、各1つのリセットトランジスタR、駆動トランジスタD、アドレストランジスタAを有する構成となっている。また画素部13は、隣り合う画素列の2ラインのうち、一方の1ラインが水平方向に配列されたユニットセルCeの一方のフォトダイオード PD_a による第1の画素列によって形成され、残りの1ラインが他方のフォトダイオード PD_b による第2の画素列によって形成され、さらに形成した第1の画素列と第2の画素列とを、垂直方向に繰り返し配置したものとなっている。

【0058】

また、第1の画素列のフォトダイオード PD_a は、水平方向、垂直方向にユニットセルCeの配列ピッチと同じ、所定の画素ピッチ P_{h0} 、 P_{v0} で配列され、第2の画素列のフォトダイオード PD_b も、水平方向、垂直方向にユニットセルCeの配列ピッチと同じ、所定の画素ピッチ P_{h0} 、 P_{v0} で配列されている。

。そして、第1の画素列のフォトダイオード PD_a に対し、第2の画素列のフォトダイオード PD_b は、垂直方向に隣り合う第1の画素列の間に、水平方向、垂直方向共に $Ph_0/2$ 、 $Pv_0/2$ だけずれた位置に配置され、市松状の配置となっている。

【0059】

また、こうしたCMOSイメージセンサのレイアウトは、図4に要部のパターンを示すように、ユニットセル Ce_{11} 、 Ce_{12} 、 Ce_{13} 、……及び各ユニットセル Ce を構成するフォトダイオード PD_{11a} 、 PD_{12a} 、 PD_{13a} 、……等の配置は、上記第1の実施形態と同じものとなっている。さらに、フローティングジャンクション FJ_{11} 、 FJ_{12} 、 FJ_{13} 、……と、対応する駆動トランジスタ D_{11} 、 D_{12} 、 D_{13} 、……のゲート DR_{11} 、 DR_{12} 、 DR_{13} 、……が、アルミニウム等による金属配線 AL によって、同様に接続されている。

【0060】

そして、本実施形態では、例えばユニットセル Ce_{22} においては、垂直方向に隣接するユニットセル Ce_{12} 、 Ce_{32} との間で、リセットトランジスタ R_{22} のゲート RS_{22} と、これに隣接するユニットセル Ce_{12} のアドレ스트ランジスタ A_{12} のゲート AD_{12} とが、パターン上で接続されており、またアドレストランジスタ A_{22} のゲート AD_{22} については、これに隣接するユニットセル Ce_{32} のリセットトランジスタ R_{32} のゲート RS_{32} と、パターン上で接続されている。なお、その他の複数のユニットセル Ce においても、同様のパターンとなっている。

【0061】

さらに、図6には図示しないが、図5に示すように各対応する部位に、アルミニウム等による金属配線となる転送配線 TGL_{1a} 、 TGL_{1b} 、 TGL_{2a} 、 TGL_{2b} 、……、リセット配線 RS_L1 、 RS_L2 、……、アドレス配線 ADL_1 、 ADL_2 、……、リセットドレイン電圧線 RDL_1 、 RDL_2 、……が、第1の実施形態と同様に接続される。

【0062】

こうしたCMOSイメージセンサの概略の動作は、上記第1の実施形態と同様のものとなるが、ユニットセル Ce_{11} , Ce_{12} , Ce_{13} , ……のアドレストランジスタ A_{11} , A_{12} , A_{13} , ……のゲート AD_{11} , AD_{12} , AD_{13} , ……が、それぞれ垂直方向下側のユニットセル Ce_{21} , Ce_{22} , Ce_{23} , ……のリセットトランジスタ R_{21} , R_{22} , R_{23} , ……のゲート RS_{21} , RS_{22} , RS_{23} , ……と接続されていることによって、画素信号読み出しの際の動作は、次のようになる。

【0063】

すなわち、例えば1ライン目となるユニットセル Ce_{11} , Ce_{12} , Ce_{13} , ……のフォトダイオード PD_{11a} , PD_{12a} , PD_{13a} , ……の画素信号を信号出力線 SL_1 , SL_2 , SL_3 , ……に読み出した後、続いて2ライン目のフォトダイオード PD_{11b} , PD_{12b} , PD_{13b} , ……の読み出しが行なわれる。そして、その動作過程で、転送トランジスタ T_{11b} , T_{12b} , T_{13b} , ……のゲート TG_{11b} , TG_{12b} , TG_{13b} , ……が開かれ、フローティングジャンクション FJ_{11} , FJ_{12} , FJ_{13} , ……に信号電荷が転送され、さらにアドレストランジスタ A_{11} , A_{12} , A_{13} , ……のゲート AD_{11} , AD_{12} , AD_{13} , ……が開かれ、さらに信号出力線 SL_1 , SL_2 , SL_3 , ……に、拡散領域 S_{11} , S_{12} , S_{13} , ……を通じ信号電荷に対応した信号が出力される。

【0064】

また、これと同時に、アドレストランジスタ A_{11} , A_{12} , A_{13} , ……のゲート AD_{11} , AD_{12} , AD_{13} , ……が接続されているリセットトランジスタ R_{21} , R_{22} , R_{23} , ……のゲート RS_{21} , RS_{22} , RS_{23} , ……は、アドレスパルスがリセットパルスとなって開き、次の3ライン目の読み出しを行うために、直ちにフローティングジャンクション FJ_{21} , FJ_{22} , FJ_{23} , ……が、所定のリセットドレイン電圧にリセットされる。以下各ラインの読み出しに際し、上記の過程が同様に行なわれる。

【0065】

以上の通り、本実施形態によれば、垂直方向に隣接するユニットセル Ce_{11}

、 Ce_{12} 、 Ce_{13} 、……において、アドレストランジスタ A_{11} 、 A_{12} 、 A_{13} 、……のゲート AD_{11} 、 AD_{12} 、 AD_{13} 、……とリセットトランジスタ R_{21} 、 R_{22} 、 R_{23} 、……のゲート RS_{21} 、 RS_{22} 、 RS_{23} 、……を、金属配線を設けて接続することなく、パターン上で簡単に接続したものとすることができると共に、第 1 の実施形態と同様に、より集積度を向上させることができ、また垂直方向、水平方向の解像度向上を図ることができて、通常の被写体を対象にする場合には、良好な性能を有するものとなる。

【0066】

【発明の効果】

以上の説明から明らかなように、本発明によれば、画素部を構成する素子や配線等を効率的に配置することができ、素子や配線等を小さくしたり、細線化したりすることなく集積度を向上させることができ、また水平方向、垂直方向の解像度を向上させることができる等の効果を奏する。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態における要部の回路図である。

【図 2】

本発明の第 1 の実施形態における要部のパターンを示す図である。

【図 3】

本発明の第 2 の実施形態における要部の回路図である。

【図 4】

本発明の第 2 の実施形態における要部のパターンを示す図である。

【図 5】

本発明の第 3 の実施形態における要部の回路図である。

【図 6】

本発明の第 3 の実施形態における要部のパターンを示す図である。

【図 7】

CMOS イメージセンサの概略を示す構成図である。

【図 8】

従来例における要部の回路図である。

【符号の説明】

A…アドレストランジスタ

AD…アドレストランジスタのゲート

ADL…アドレス配線

Ce…ユニットセル

D…駆動トランジスタ

FJ…フローティングジャンクション

J…ジャンクション領域

PD_a, PD_b…フォトダイオード

Ph₀…水平方向の画素ピッチ、ユニットセル配列ピッチ

Pv₀…垂直方向の画素ピッチ、ユニットセル配列ピッチ

R…リセットトランジスタ

RD…リセットドレイン領域

RDL…リセットドレイン電圧線

RS…リセットトランジスタのゲート

RTL…リセット配線

S…拡散領域

SL, SLo, SLe…信号出力線

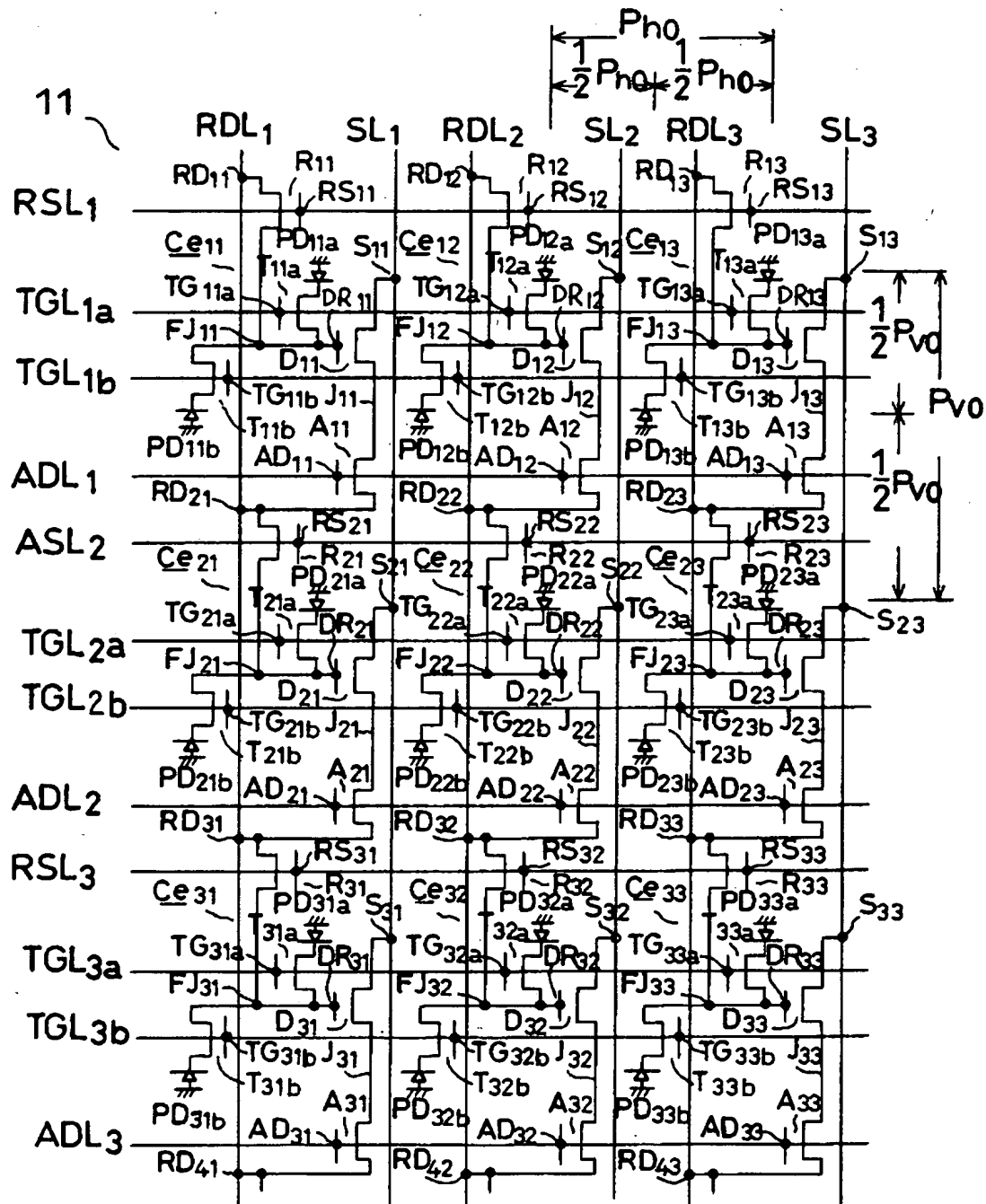
T_a, T_b…転送トランジスタ

TG_a, TG_b…転送トランジスタのゲート

TGL_a, TGL_b…転送配線

【書類名】 図面

【図 1】

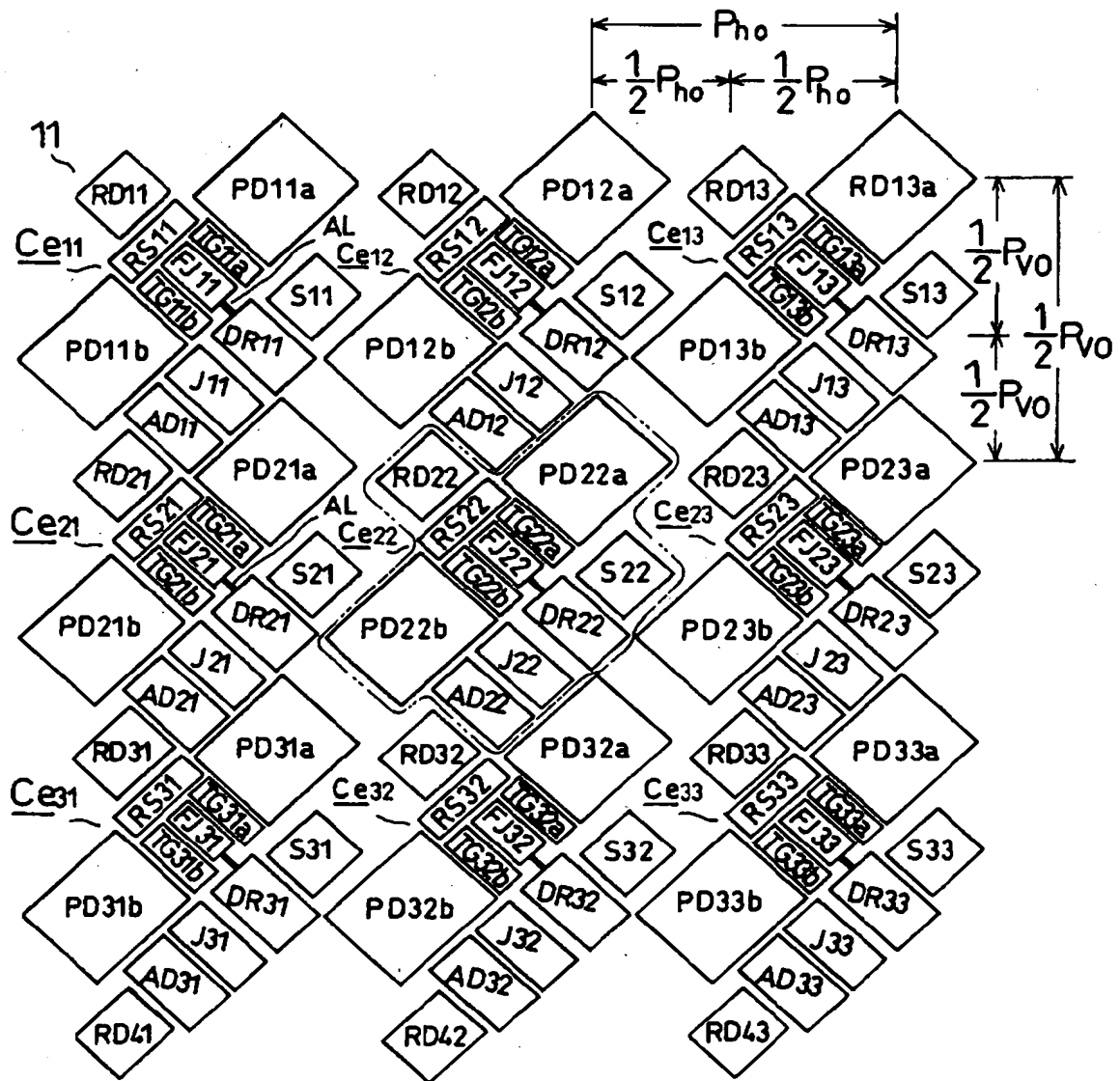


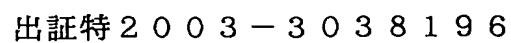
Ce : ユニットセル PDa, PDb : フォトダイオード

Ph₀ : 水平方向の画素ピッチ、ユニットセル配列ピッチ

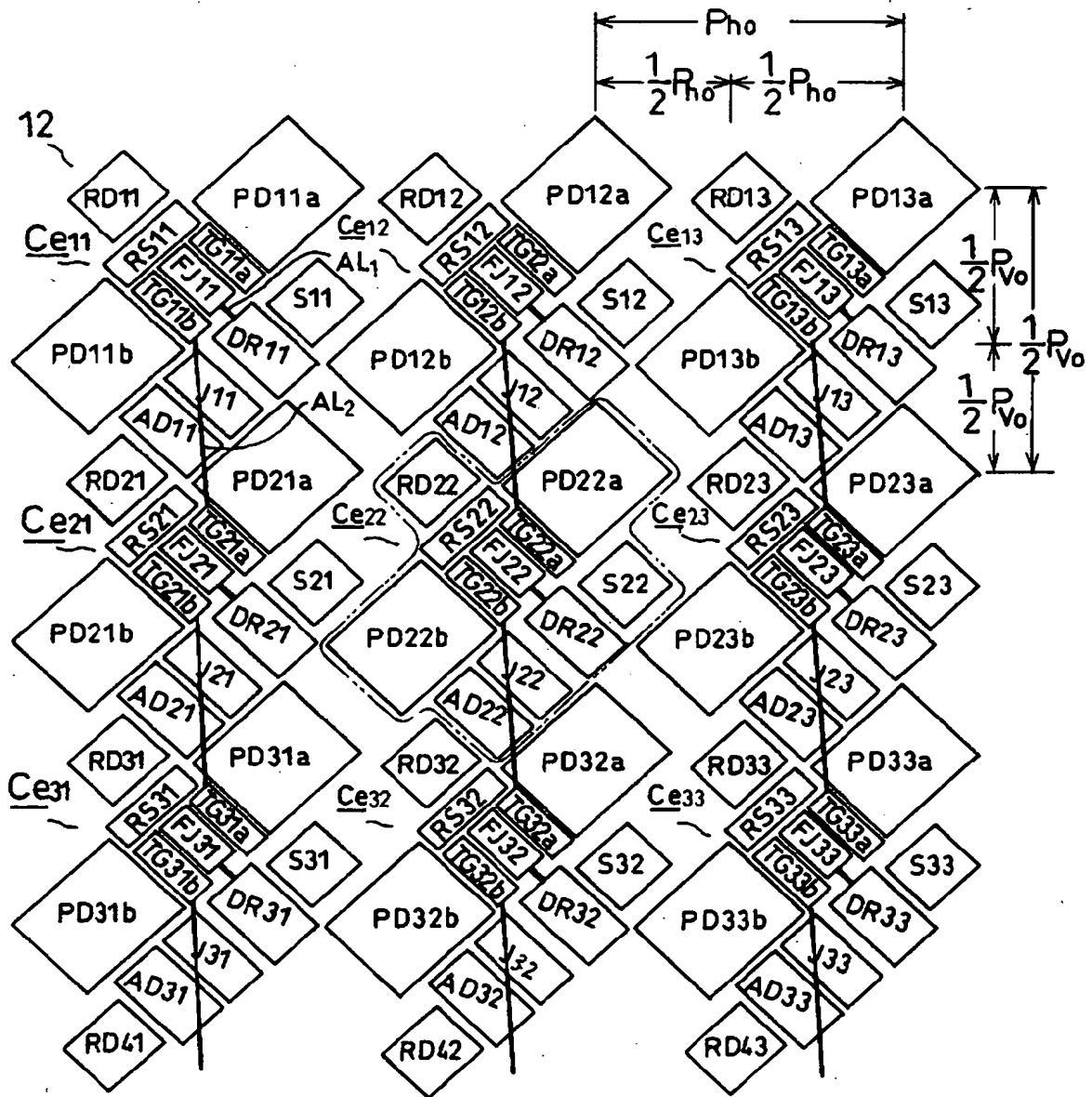
Pv₀ : 垂直方向の画素ピッチ、ユニットセル配列ピッチ

【図 2】

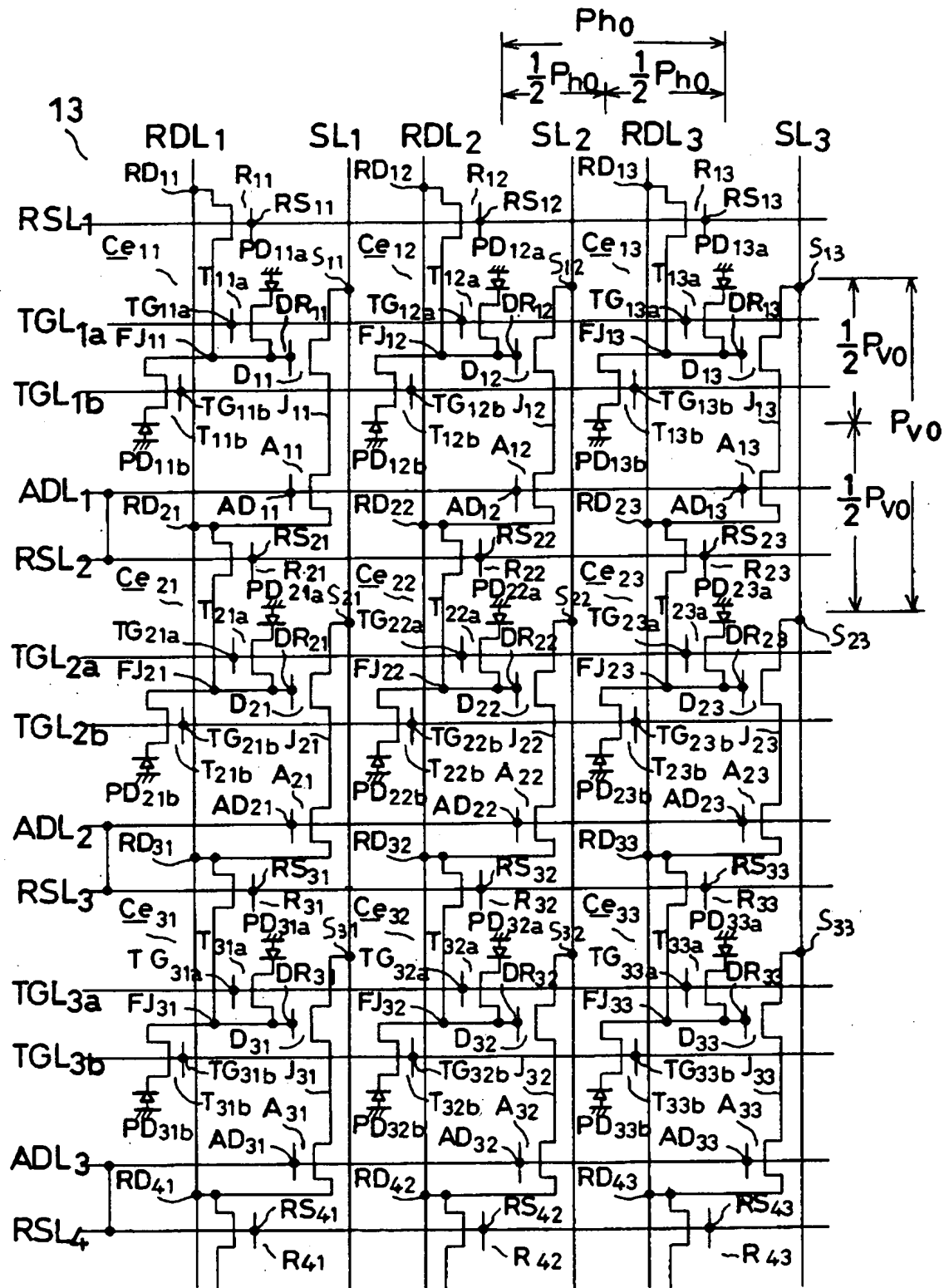




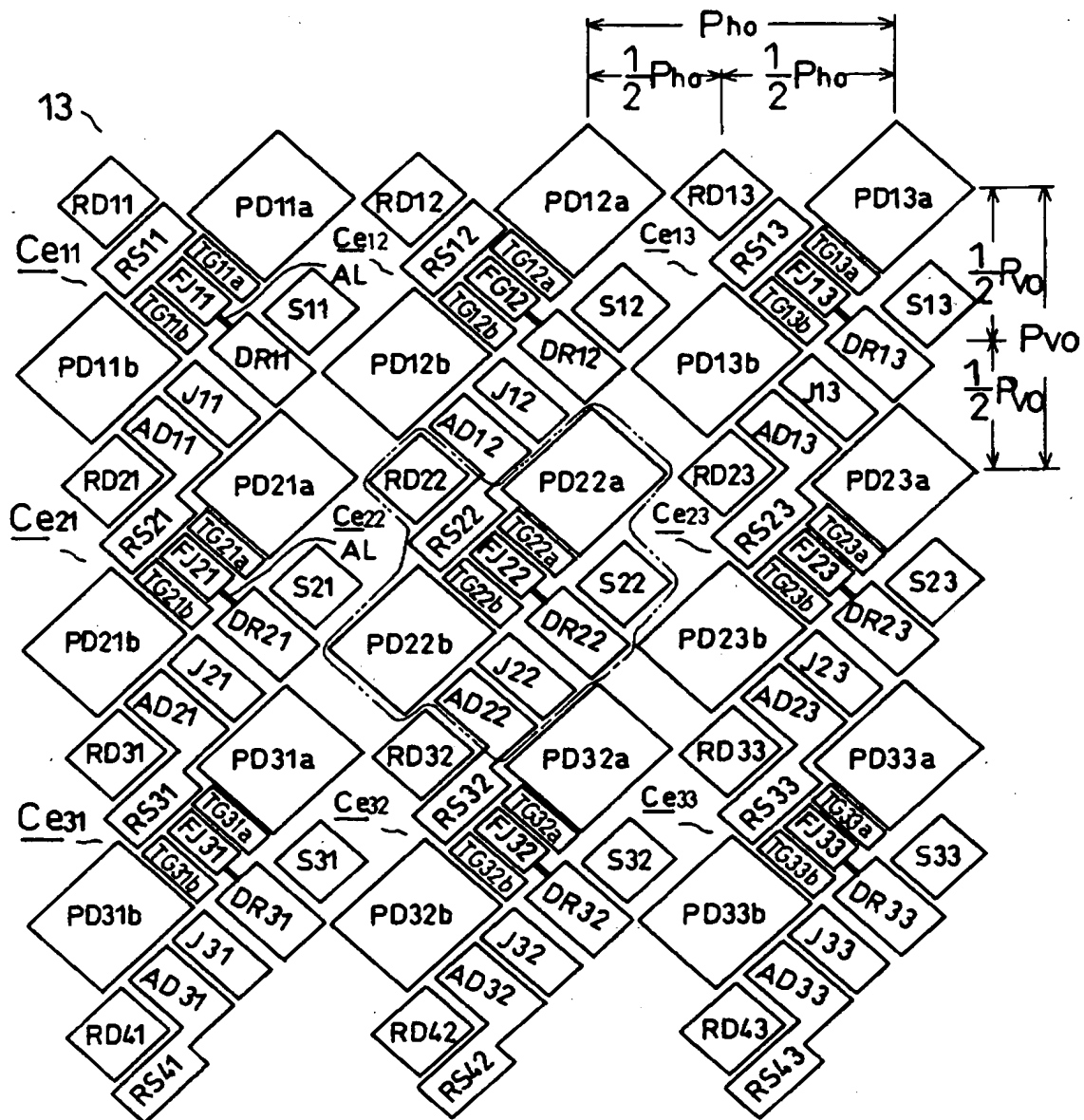
【図 4】



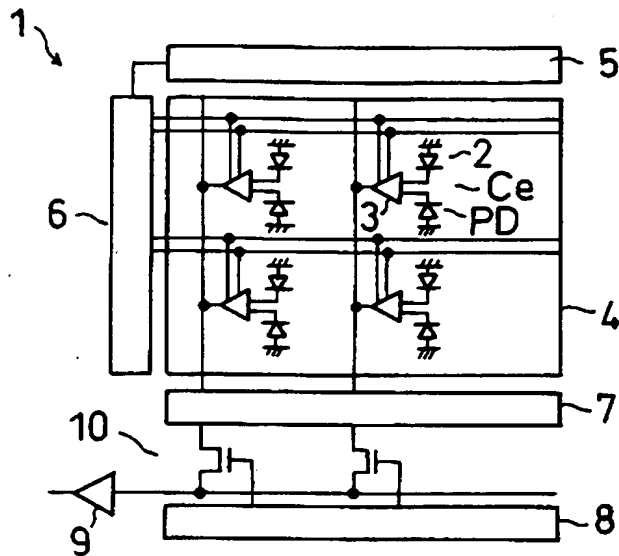
【図 5】



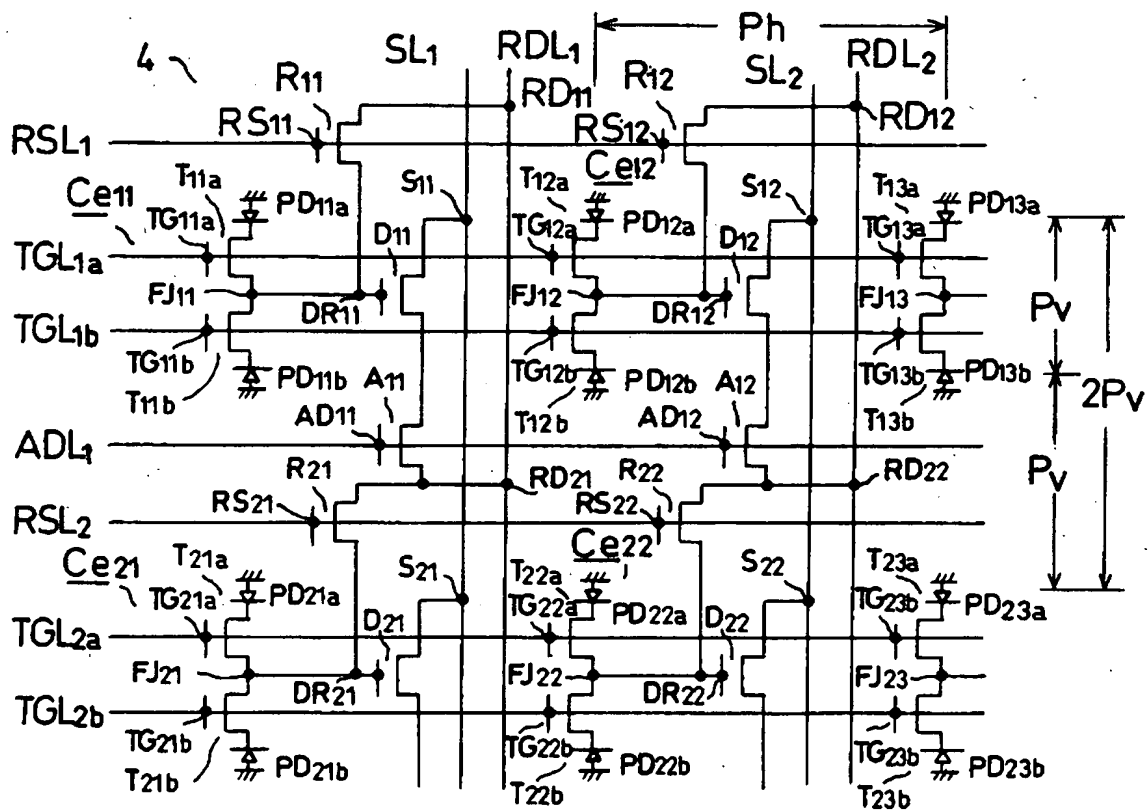
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 画素部の素子や配線等の効率的配置により集積度を向上させ、水平、垂直方向の解像度を向上させることができるCMOSイメージセンサを提供する。

【解決手段】 対をなす2つのフォトダイオード PD_a 、 PD_b を有する複数のユニットセル C_e を、二次元的に水平方向、垂直方向それぞれに配列ピッチ Ph_0 、 Pv_0 で略格子状に配置してなるもので、一方のフォトダイオード PD_a を二次元的に水平方向、垂直方向それぞれに画素ピッチ Ph_0 、 Pv_0 で略格子状に配置すると共に、一方のフォトダイオード PD_a に対し水平方向、垂直方向共に前記画素ピッチ Ph_0 、 Pv_0 の略半分($Ph_0/2$ 、 $Pv_0/2$)だけ水平方向、垂直方向にずらした状態で他方のフォトダイオード PD_b を二次元的に略格子状に配置し、対をなす2つのフォトダイオード PD_a 、 PD_b を斜め方向に隣接させるようにする。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000158150]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	岩手県北上市北工業団地6番6号
氏 名	岩手東芝エレクトロニクス株式会社

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝